

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-209049

(43)Date of publication of application : 25.07.2003

(51)Int.Cl. H01L 21/027  
G03F 7/20  
G03F 9/00

(21)Application number : 2002-008743

(71)Applicant : FUJITSU LTD

(22)Date of filing : 17.01.2002

(72)Inventor : MINAMI TAKANOBU

**(54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE AND MASK SET FOR MANUFACTURING****(57)Abstract:**

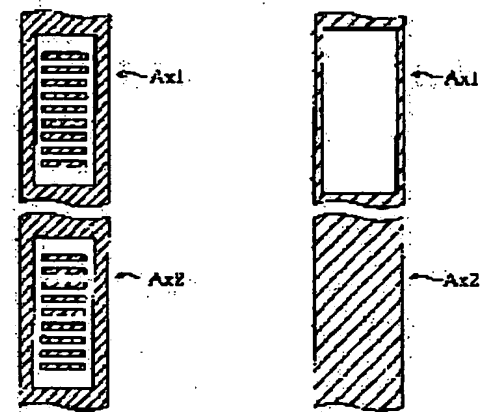
**PROBLEM TO BE SOLVED:** To provide a method of manufacturing semiconductor device which can use a number of marks for alignment without occupying a wide area.

**SOLUTION:** A photosensitive first resist film is formed on the surface of a substrate. The first resist film is exposed through a first mask to transfer a first pattern of the first mask. The first pattern includes a first mark to be transferred, and a first latent image mark to which the first mark is transferred is formed on the first resist film. The position information of the substrate is obtained by detecting the first latent image mark. The position of the substrate is aligned based on the obtained position information, the first resist film is exposed through a second mask to transfer the second pattern of the second mask, and the first latent image mark is eliminated by exposing an region including the first latent image mark. The first resist film is developed.

## 第1の実施例

(A) 第1回目露光用マスク

(B) 第2回目露光用マスク

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2003-209049  
(P2003-209049A)

(43)公開日 平成15年7月25日(2003.7.25)

(51)Int.Cl.	識別記号	FI	テマコード*(参考)
H01L 21/027		G03F 7/20	521
G03F 7/20	521	9/00	H
9/00		H01L 21/30	514A
			521
			502P

審査請求 未請求 請求項の数10 OL (全14頁)

(21)出願番号 特願2002-8743(P2002-8743)

(22)出願日 平成14年1月17日(2002.1.17)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 南 孝宜

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74)代理人 100091340

弁理士 高橋 敬四郎 (外1名)

(54)【発明の名称】 半導体装置の製造方法及び製造用マスクセット

(57)【要約】

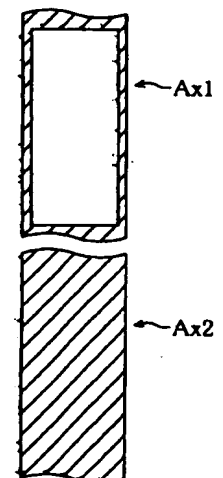
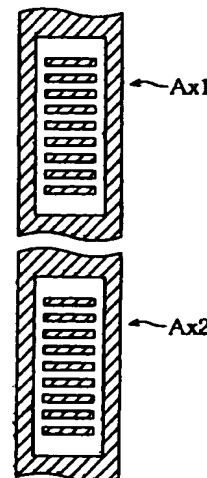
【課題】 広い領域を占有することなく多くのアライメント用のマークを利用することが可能な半導体装置の製造方法を提供する。

【解決手段】 基板の表面上に感光性の第1のレジスト膜を形成する。第1のマスクを通して第1のレジスト膜を露光し、第1のマスクの第1のパターンを転写する。第1のパターンが第1の被転写マークを含み、第1のレジスト膜に第1の被転写マークが転写された第1の潜像マークが形成される。第1の潜像マークを検出することによって基板の位置情報を得る。得られた位置情報に基づいて基板の位置合わせを行い、第2のマスクを通して第1のレジスト膜を露光し、第2のマスクの第2のパターンを転写するとともに、第1の潜像マークを内包する領域を露光して第1の潜像マークを消去する。第1のレジスト膜を現像する。

第1の実施例

(A) 第1回目露光用  
レクチル

(B) 第2回目露光用  
レクチル



## 【特許請求の範囲】

【請求項1】 (a 1) 基板の表面上に感光性の第1のレジスト膜を形成する工程と、

(a 2) 第1のマスクを通して前記第1のレジスト膜を露光し、該第1のマスクの第1のパターンを転写する工程であって、該第1のパターンが第1の被転写マークを含み、該第1のレジスト膜に該第1の被転写マークが転写された第1の潜像マークを形成する工程と、

(a 3) 前記第1の潜像マークを検出することによって前記基板の位置情報を得る工程と、

(a 4) 前記工程 (a 3) で得られた位置情報に基づいて前記基板の位置合わせを行い、第2のマスクを通して前記第1のレジスト膜を露光し、該第2のマスクの第2のパターンを転写するとともに、前記第1の潜像マークを内包する領域を露光して該第1の潜像マークを消去する工程と、

(a 5) 前記第1のレジスト膜を現像する工程とを有する半導体装置の製造方法。

【請求項2】 前記工程 (a 5) の後、さらに、

(b 1) 現像された前記第1のレジスト膜をマスクとして、前記基板の表面に処理を施す工程と、

(b 2) 前記第1のレジスト膜を除去し、前記基板上に新たに第2のレジスト膜を形成する工程と、

(b 3) 第3のマスクを通して前記第2のレジスト膜を露光し、該第3のマスクの第3のパターンを転写する工程であって、該第3のパターンが第3の被転写マークを含み、該第3の被転写マークが、前記工程 (a 4) で消去された前記第1の潜像マークの配置されていた位置に転写される工程と、

(b 4) 前記第2のレジスト膜を現像する工程とを有する請求項1に記載の半導体装置の製造方法。

【請求項3】 前記第1のパターンが前記第1の被転写マークを複数個含み、前記工程 (a 2) において、前記第1の潜像マークが複数個形成され、前記工程 (a 4) において、前記複数の第1の潜像マークのうち一部のマークを内包する領域は遮光され、露光後も、遮光された領域内の第1の潜像マークは残り、前記工程 (a 5) において、残っている前記第1の潜像マークを顕在化させ、

前記工程 (a 5) の後に、さらに、

(c 1) 現像された前記第1のレジスト膜をマスクとして、前記基板の表面に処理を施し、顕在化された前記第1の潜像マークに基づいて第1のアライメントマークを形成する工程と、

(c 2) 前記第1のレジスト膜を除去する工程と、

(c 3) 前記基板上に、新たに第3のレジスト膜を形成する工程と、

(c 4) 前記第1のアライメントマークを検出することによって前記基板の位置情報を得る工程と、

(c 5) 前記第3のレジスト膜を露光する工程とを含む

請求項1に記載の半導体装置の製造方法。

【請求項4】 前記工程 (a 2) と工程 (a 3) との間に、さらに、

(d 1) 前記第1の潜像マークを検出することによって前記基板の位置情報を得る工程と、

(d 2) 前記工程 (d 1) で得られた位置情報に基づいて前記基板の位置合わせを行い、第4のマスクを通して前記第1のレジスト膜を露光し、該第4のマスクの第4のパターンを転写する工程であって、前記第1の潜像マークを内包する領域は遮光して該第1の潜像マークを残す工程とを有する請求項1に記載の半導体装置の製造方法。

【請求項5】 前記第4のマスクの第4のパターンが、第4の被転写マークを含み、前記工程 (d 2) において、該第4の被転写マークが、前記第1の潜像マークとは異なる位置に転写されて第4の潜像マークが形成され、さらに、

(d 3) 前記第4の潜像マークを検出することによって、前記基板の位置情報を得る工程を含む請求項4に記載の半導体装置の製造方法。

【請求項6】 前記基板の表面上に複数のショット領域が画定されており、該ショット領域の各々は、1回の露光処理で露光され、相互に隣り合う2つのショット領域が重なり部分を有し、前記基板の表面上に、XY直交座標系を考えたとき、前記工程 (a 2) で形成される前記第1の潜像マークが、X方向の位置を検出するための少なくとも2つの第1のX用潜像マークと、Y方向の位置を検出するための少なくとも2つの第1のY用潜像マークとを含み、

前記工程 (a 3) が、前記基板上に画定された複数のショット領域のうち少なくとも一部のショット領域内の前記第1のX用潜像マーク及び前記第1のY用潜像マークを検出し、当該ショット領域の位置情報を得る工程を含み、

前記工程 (a 4) において、前記ショット領域の位置情報に基づいて前記基板の位置合わせを行う請求項1～5のいずれかに記載の半導体装置の製造方法。

【請求項7】 (e 1) 基板の表面上に感光性の第1のレジスト膜を形成する工程と、

(e 2) 第1のマスクを通して前記第1のレジスト膜を露光し、該第1のマスクのパターンを転写するとともに、該第1のレジスト膜に少なくとも1つの第1の潜像マークを構成する一部のパターンを転写する工程と、

(e 3) 第2のマスクを通して前記第1のレジスト膜を露光し、該第2のマスクのパターンを転写するとともに、該第1のレジスト膜に前記第1の潜像マークを構成する残りのパターンを転写し、該第1の潜像マークを完成させる工程と、

(e 4) 前記第1の潜像マークを検出することによって前記基板の位置情報を得る工程と、

(e5) 前記工程 (e4) で得られた位置情報に基づいて前記基板の位置合わせを行い、第3のマスクを通して前記第1のレジスト膜を露光し、該第3のマスクのパターンを転写するとともに、前記第1の潜像マークを内包する領域を露光して該第1の潜像マークを消去する工程と、

(e6) 前記第1のレジスト膜を現像する工程とを有する半導体装置の製造方法。

【請求項8】 基板上に形成された感光性のレジスト膜を露光し、パターンニングするための第1、第2及び第3

10 のマスクを含むマスクセットであって、前記第1及び第2のマスクは、同一のレジスト膜を多重露光するためのマスクであり、

前記第3のマスクは、前記第1及び第2のマスクを用いて形成されたパターンが配置された第1の層の上に配置される第2の層をパターンニングするためのマスクであり、

前記第1のマスクに、アライメントマークを転写するための第1のマークが形成されており、

前記第1のマークの配置された領域を内包する領域に対応する前記第2のマスク内の領域が、露光光の透過する領域とされており、

前記第1のマークの配置された領域に対応する前記第3のマスク内の領域に、他のアライメントマークを転写するための第3のマークが形成されているマスクセット。

【請求項9】 さらに、前記第1及び第2のマスクとともに第1の層を多重露光するための第4のマスクを有し、前記第1のマークの配置された領域を内包する領域に対応する前記第4のマスク内の領域が遮光されている請求項8に記載のマスクセット。

【請求項10】 基板上に形成された感光性のレジスト膜を露光し、パターンニングするための第1、第2、及び第3のマスクを含むマスクセットであって、

前記第1～第3のマスクは、同一のレジスト膜を多重露光するためのマスクであり、

前記第1のマスクに、第1のアライメントマークの一部のパターンを転写するための第1のマークが形成されており、

前記第2のマスクに、前記第1のアライメントマークの他の一部のパターンを転写するための第2のマークが形成されており、

前記第1及び第2のマークの配置された領域を内包する領域に対応する前記第3のマスク内の領域が、光を透過させる領域とされているマスクセット。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法及びマスクセットに関し、特に多重露光を用いて微細なパターンを形成する半導体装置の製造方法、及びその製造方法に使用されるマスクセットに関する。

【0002】

【従来の技術】近年、半導体集積回路装置の微細化に伴い、微細配線を微細ピッチで形成することが必要となってきた。この要請を満たすために、1つの層のパターンニングを行う際に複数枚のマスクを使用する多重露光プロセスが注目されている。以下、多重露光プロセスについて簡単に説明する。

【0003】まず、成膜された半導体基板上にレジストを塗布する。半導体基板の位置合わせを行った後に、1枚目のマスクを通してレジスト膜を露光し、パターンを転写する。同様に、2枚目以降のマスクを通して順次レジスト膜を露光し、各マスクのパターンを転写する。全てのマスクを通した露光が終了した後、レジスト膜の現像処理を行う。

【0004】レジスト膜の現像後、表面検査、パターン寸法の検査、及び位置ずれ検査を行う。パターン寸法の検査では、各マスクのパターンが適正な露光量及びフォーカス条件で転写されているか否かが検査される。位置ずれ検査では、形成されたレジストパターンと下層のパターンとの位置ずれ量や、多重露光に用いられた複数のマスク同士の位置ずれ量が計測される。次に、半導体基板の位置合わせ方法について説明する。

【0005】図1(A)に、半導体ウエハの平面図を示す。半導体ウエハ1の表面に、複数のショット領域2が画定されている。ショット領域2の各々は、1回の照射で露光される領域であり、半導体ウエハ2の表面に行列状に配置されている。相互に隣り合うショット領域2は、その縁近傍において重なっている。この重なり部分を、プロセスパターン領域3と呼ぶこととする。

【0006】半導体ウエハ1の表面にレジスト膜が形成されており、その下層には、複数のアライメントマークが形成されている。アライメントマークは、プロセスパターン領域3内に配置される。この半導体ウエハ1を露光機(ステッパ)に装填(ロード)した後、下層に形成されているアライメントマークを検出する。ただし、半導体ウエハ1に形成されている全てのアライメントマークが検出されるのではなく、予め抽出された一部のショット領域2内のアライメントマークのみが検出される。検出されたアライメントマークの位置情報に基づき、半導体基板1の表面上のパターン(下層パターン)と、マスクのパターン(上層パターン)との位置合わせが行われる。

【0007】一般的に、予め抽出されているショット領域2の数は10程度であり、ショット領域2の各々について、1つのX用アライメントマークと1つのY用のアライメントマークが検出される。X用アライメントマークにより、X方向(図1(A)の横方向)に関する位置が計測され、Y用アライメントマークにより、Y方向(図1(A)の縦方向)に関する位置が計測される。これらのアライメントマークの検出結果から、半導体ウエ

ハ1の位置ずれの並進成分、回転成分、倍率成分、及び直交度成分に関する補正情報が得られる。また、ショット領域2の各々について、半導体ウエハ1の倍率成分がそのまま適用される。

【0008】レジスト膜現像後の位置ずれ検査で検出された位置ずれ量(位置ずれの残留成分)は、その後処理される半導体ウエハ1の露光時に一律に補正される。

【0009】

【発明が解決しようとする課題】半導体ウエハ1に形成されているアライメントマークを検出することにより、半導体ウエハ1の位置ずれの並進成分、回転成分、倍率成分、及び直交度成分に関する情報を得ることができるところが、ショット領域2の各々については、検出されるX用アライメントマークとY用アライメントマークとが1つずつであるため、ショット領域2の位置ずれの回転成分及び直交度成分に関する情報が得られない。このため、これらの成分に関する位置ずれ補正を、ショット領域2ごとに行うことができない。また、ショット領域2の位置ずれの倍率成分は、半導体ウエハ1の位置ずれの倍率成分がそのまま適用されるのみであり、ショット領域2ごとに位置ずれの倍率成分を測定することができない。また、露光機のレンズ倍率制御で生じる残留倍率成分も補正することができない。

【0010】ショット領域2ごとに、位置ずれの上述の成分を測定するためには、少なくともショット領域2の各々に、X用アライメントマークとY用アライメントマークとを2つずつ配置しなければならない。ところが、図1(A)に示したプロセスパターン領域3の大きさは、ショット領域内のチップの大きさやチップの数によって制限され、無条件に大きくすることはできない。半導体集積回路装置を作製するために必要となるマークは非常に多いため、プロセスパターン領域3内に4つのアライメントマークを配置するための領域を確保することが困難である。

【0011】また、多重露光するための複数のマスクは、半導体ウエハ1のレジスト膜の下に形成されているアライメントマークに基づいて位置合わせされる。すなわち、多重露光に使用される複数のマスク同士の位置合わせは、半導体ウエハ1に形成されているアライメントマークを介して間接的に行われる。このため、複数のマスク同士の位置合わせ精度が低下する。単純計算では、複数のマスク同士の位置ずれ量が、直接位置合わせする場合に比べて $2^{1/2}$ 倍になる。

【0012】本発明の目的は、広い領域を占有することなく多くのアライメント用のマークを利用することが可能な半導体装置の製造方法を提供することである。

【0013】本発明の他の目的は、上記半導体装置の製造方法に使用されるマスクセットを提供することである。

【0014】

【課題を解決するための手段】本発明の一観点によると、(a1)基板の表面上に感光性の第1のレジスト膜を形成する工程と、(a2)第1のマスクを通して前記第1のレジスト膜を露光し、該第1のマスクの第1のパターンを転写する工程であって、該第1のパターンが第1の被転写マークを含み、該第1のレジスト膜に該第1の被転写マークが転写された第1の潜像マークを形成する工程と、(a3)前記第1の潜像マークを検出することによって前記基板の位置情報を得る工程と、(a4)前記工程(a3)で得られた位置情報に基づいて前記基板の位置合わせを行い、第2のマスクを通して前記第1のレジスト膜を露光し、該第2のマスクの第2のパターンを転写するとともに、前記第1の潜像マークを内包する領域を露光して該第1の潜像マークを消去する工程と、(a5)前記第1のレジスト膜を現像する工程とを有する半導体装置の製造方法が提供される。

【0015】第1の潜像マークを消去することにより、この第1の潜像マークが配置されていた位置に、上層パターンにおいてマークを配置することができる。

【0016】本発明の他の観点によると、(e1)基板の表面上に感光性の第1のレジスト膜を形成する工程と、(e2)第1のマスクを通して前記第1のレジスト膜を露光し、該第1のマスクのパターンを転写するとともに、該第1のレジスト膜に少なくとも1つの第1の潜像マークを構成する一部のパターンを転写する工程と、

(e3)第2のマスクを通して前記第1のレジスト膜を露光し、該第2のマスクのパターンを転写するとともに、該第1のレジスト膜に前記第1の潜像マークを構成する残りのパターンを転写し、該第1の潜像マークを完成させる工程と、(e4)前記第1の潜像マークを検出することによって前記基板の位置情報を得る工程と、

(e5)前記工程(e4)で得られた位置情報に基づいて前記基板の位置合わせを行い、第3のマスクを通して前記第1のレジスト膜を露光し、該第3のマスクのパターンを転写するとともに、前記第1の潜像マークを内包する領域を露光して該第1の潜像マークを消去する工程と、(e6)前記第1のレジスト膜を現像する工程とを有する半導体装置の製造方法が提供される。

【0017】第1のマスクと第2のマスクとの2枚によって、第1の潜像マークが形成される。この第1の潜像マークから得られた基板の位置情報に基づいて、第3のマスクを用いた露光が行われるため、第1~第3のマスクの位置合わせ精度を高めることができる。

【0018】本発明の他の観点によると、基板上に形成された感光性のレジスト膜を露光し、パターンニングするための第1、第2及び第3のマスクを含むマスクセットであって、前記第1及び第2のマスクは、同一のレジスト膜を多重露光するためのマスクであり、前記第3のマスクは、前記第1及び第2のマスクを用いて形成されたパターンが配置された第1の層の上に配置される第2の

層をパターンニングするためのマスクであり、前記第1のマスクに、アライメントマークを転写するための第1のマークが形成されており、前記第1のマークの配置された領域を内包する領域に対応する前記第2のマスク内の領域が、露光光の透過する領域とされており、前記第1のマークの配置された領域に対応する前記第3のマスク内の領域に、他のアライメントマークを転写するための第3のマークが形成されているマスクセットが提供される。

【0019】第1のマスクを用いた露光によって、第1のマークが転写された潜像が形成される。第2のマスクを用いた露光時に、第1のマークが転写された潜像を検出することによって、露光される対象物（例えば、半導体ウエハ）の位置情報を得ることができる。第2のマスクを用いた露光によって、第1のマークが転写された潜像が消去される。このため、第3のマスクを用いて、第1のマークが転写された位置に、新たなマークを形成することができる。

【0020】本発明の他の観点によると、基板上に形成された感光性のレジスト膜を露光し、パターンニングするための第1、第2、及び第3のマスクを含むマスクセットであって、前記第1～第3のマスクは、同一のレジスト膜を多重露光するためのマスクであり、前記第1のマスクに、第1のアライメントマークの一部のパターンを転写するための第1のマークが形成されており、前記第2のマスクに、前記第1のアライメントマークの他の一部のパターンを転写するための第2のマークが形成されており、前記第1及び第2のマークの配置された領域を内包する領域に対応する前記第3のマスク内の領域が、光を透過させる領域とされているマスクセットが提供される。

【0021】第1のマスクと第2のマスクとを用いて、1つの第1のアライメントマークが完成する。第3のマスクを用いた露光時に、この第1のアライメントマークを検出することによって、露光される対象物（例えば、半導体ウエハ）の位置情報を得ることができる。第3のマスクを用いた露光によって、第1及び第2のマークの転写された潜像を消去することができる。

【0022】

【発明の実施の形態】図1(A)に、本発明の第1の実施例による半導体装置の製造方法に使用される半導体ウエハ1の平面図を示す。半導体ウエハ1の表面に複数のショット領域2が画定され、ショット領域2の各々にプロセスパターン領域3が設けられている。これらの構成については既に説明したので、ここでは詳細な説明を省略する。

【0023】図1(B)に、1つのショット領域2を露光するためのマスクの平面図を示す。マスクの転写すべきパターンが配置された領域10は、正方形または長方形であり、その縁に沿ってプロセスパターン領域11が

画定されている。図1(B)の横方向及び縦方向を、それぞれX軸及びY軸とする。マスクのX軸及びY軸が、それぞれ図1(A)に示した半導体ウエハ1のX軸及びY軸に転写される。プロセスパターン領域11内のパターンが、図1(A)に示した半導体ウエハ1のプロセスパターン領域3に転写される。プロセスパターン領域11に囲まれた領域（デバイス領域）に、電子回路パターンが形成されている。

【0024】図1(A)に示したプロセスパターン領域3は、1枚のマスクを使用した露光時に2回の露光が行われる。例えば、図1(A)の縦方向に延在するプロセスパターン領域3は、図1(B)のプロセスパターン領域11のうち右辺に沿った部分を透過した光と左辺に沿った部分を透過した光とにより2回露光される。また、図1(B)の横方向に延在するプロセスパターン領域3は、図1(B)のプロセスパターン領域11のうち上辺に沿った部分を透過した光と下辺に沿った部分を透過した光とにより2回露光される。

【0025】プロセスパターン領域11の上辺に沿った部分にX用マーク領域Ax1、Ax2、及び遮光領域Cx3、Cx4が配置され、下辺に沿った部分にX用マーク領域Ax3、Ax4、及び遮光領域Cx1、Cx2が配置されている。また、プロセスパターン領域11の右辺に沿った部分にY用マーク領域Ay2、Ay3、及び遮光領域Cy1、Cy4が配置され、左辺に沿った部分にY用マーク領域Ay1、Ay4、及び遮光領域Cy2、Cy3が配置されている。

【0026】X用マーク領域Ax1と遮光領域Cx1とは、X軸方向に関して同じ位置に配置されている。このため、プロセスパターン領域11の上辺に沿った部分と下辺に沿った部分とによって2回露光されても、X用マーク領域Ax1内のパターンが転写された潜像を残すことができる。その他のX用マーク領域Ax2～Ax4、及びY用マーク領域Ay1～Ay4についても、同様に遮光領域Cx2～Cx4、及びCy1～Cy4が配置されている。本明細書において、マスクのX用マーク領域Ax1が転写される半導体ウエハ1上の領域も、X用マーク領域Ax1と呼ぶ場合がある。他のマーク領域についても同様である。

【0027】図1(C)～(F)に、X用マーク領域Ax1～Ax4に配置されるX用被転写マークの例を示す。図1(C)に示したX用被転写マークは、透過領域内に、Y軸方向に長い長方形の遮光領域がX軸方向に等ピッチで配列した構成を有する。図1(D)に示したX用被転写マークは、図1(C)のX用被転写マークの遮光領域と透過領域とを反転させたパターンを有する。図1(E)に示したX用被転写マークは、正方形の遮光領域がY軸方向に狭ピッチで配列した同一形状の複数のパターンを、X軸方向に広ピッチで配列させた構成を有する。図1(F)に示したX用被転写マークは、図1

(E)のX用被転写マークの遮光領域と透過領域とを反転させたパターンを有する。Y用被転写マークは、図1(C)～(F)のX用被転写マークを90°回転させたパターンと同一である。

【0028】次に、図2及び図3を参照して、本発明の第1の実施例による半導体装置の製造方法について説明する。

【0029】図2(A)に、デバイス領域に形成される回路パターンの一部の平面図を示す。半導体ウエハの表層部に、素子分離絶縁膜によって活性領域20が画定されている。ゲート電極21G及び22Gが、活性領域20と交差するように配置される。ゲート電極21G及び22Gは、それぞれ素子分離絶縁膜上に配置された配線21及び22に連続している。ゲート電極21G及び22Gは、配線21及び22よりも細い。

【0030】図2(B)に、第1回目の露光用のマスクのパターンの一部を示す。このマスクは、KrF用のハーフトーン位相シフトマスクである。配線21とゲート電極21Gとに対応する遮光パターン21S、及び配線22とゲート電極22Gとに対応する遮光パターン22Sが形成されている。遮光パターン21S及び22Sのうちゲート電極21G及び22Gに対応する部分の太さは、配線21及び22に対応する部分の太さと同一である。

【0031】図2(C)に、第2回目の露光用のマスクのパターンの一部を示す。このマスクは、KrF用レベンソン型位相シフトマスクである。ゲート電極21G及び22Gが配置されるべき領域の両側に透過パターン23が配置され、他の領域は遮光されている。透過パターン23の間のゲート電極21G及び22Gに対応する遮光部分は、図2(B)に示した遮光パターン21S及び22Sよりも細い。第2回目の露光により、ゲート長の短縮化(ゲート電極の細線化)が行われる。

【0032】図3(A)に、第1回目の露光用のマスクのX用マーク領域Ax1及びAx2に形成されたX用被転写マークの平面図を示す。このX用被転写マークは、図1(C)に示したX用被転写マークと同様に、透過領域内に複数の遮光領域が配列したパターンを有する。なお、他のマーク領域に配置されたX用被転写マーク及びY用被転写マークも同様である。図1(C)に示したX用被転写マークの代わりに、図1(D)～(F)に示したマークを用いることも可能である。第1回目の露光で、各マーク領域内の被転写マークがレジスト膜に転写され、潜像が形成される。

【0033】図3(B)に、第2回目の露光用のマスクの、X用マーク領域Ax1及びAx2のパターンを示す。X用マーク領域Ax1は透過領域とされており、X用マーク領域Ax2は遮光領域とされている。第1回目の露光用のマスクと第2回目の露光用のマスクとを重ねると、第2回目の露光用のマスクのX用マーク領域Ax

1に形成された透過領域が、第1回目の露光用のマスクのX用マークAx1に形成されたX用被転写マークを内包する。このため、第1回目の露光で転写されたX用マーク領域Ax1内の潜像が、第2回目の露光で消去される。また、第1回目の露光で転写されたX用マーク領域Ax2内の潜像は、第2回目の露光後も残る。

【0034】次に、図2及び図3に示したマスクを用いて、半導体装置を製造する工程について説明する。

【0035】図1(A)に示した半導体ウエハ1の表面上に、シリコン局所酸化(LOCOS)またはシャロートレンチアイソレーション(STI)により素子分離絶縁膜を形成する。この素子分離絶縁膜により、図2(A)に示した活性領域20が画定される。半導体ウエハ1の表面上に厚さ3nmの酸化シリコン膜、厚さ200nmの多結晶シリコン膜を順番に形成する。多結晶シリコン膜の上に、窒化シリコンからなる厚さ30nmの反射防止膜を形成する。反射防止膜の上に、KrF用化学増幅型レジストを塗布し、厚さ390nmのポジ型レジスト膜を形成する。

【0036】図2(A)及び図3(A)に示した第1回目の露光用のマスクを用いて、第1回目の露光を行う。第1回目の露光は、内径0.375、外径0.75の輪帯状光線束を使用し、開口数(NA)0.60、露光量30～35mJ/cm<sup>2</sup>の条件で行う。第1回目の露光で転写されるパターンは、ゲート電極の配置される層の全てのパターンに関わる。このとき、図3(A)に示したX用マーク領域Ax1、Ax2、その他のX用マーク領域、Y用マーク領域内のパターンが転写され、レジスト膜に潜像が形成される。X用マーク領域及びY用マーク領域のパターンが転写された潜像を、それぞれX用潜像マーク及びY用潜像マークと呼ぶこととする。レジスト膜を露光することによってレジスト膜中の分子の結合状態が変化するため、レジスト膜の現像前であっても、これらの潜像マークを光学的に検出することができる。

【0037】半導体ウエハの表面に画定されたショット領域8個を選択し、選択されたショット領域内の4個のX用潜像マーク及び4個のY用潜像マークを検出する。これらの潜像マークの位置情報に基づいて、半導体ウエハ1の位置合わせを行いながら、図2(C)及び図3(B)に示した第2回目の露光用のマスクを用いて、第2回目の露光を行う。第2回目の露光は、開口数0.60、 $\sigma=0.40$ 、露光量15mJ/cm<sup>2</sup>の条件で行う。

【0038】図3(B)に示したように、第2回目の露光によって、X用マーク領域Ax1が露光されるため、第1回目の露光でX用マーク領域Ax1に形成されていたX用潜像アライメントマークが消去される。なお、X用マーク領域Ax2に形成されているX用潜像マークはそのまま残る。

【0039】第2回目の露光後に、レジスト膜の現像を

10

20

30

40

50

行い、レジストパターンを形成する。X用マーク領域Ax1内のレジスト膜は除去される。このレジストパターンをマスクとして、半導体ウエハ上に形成されている反射防止膜、多結晶シリコン膜、及び酸化シリコン膜をエッチングする。これにより、図2(A)に示したゲート電極21G、22G、及び配線21、22が形成される。同時に、X用マーク領域Ax2に、X用アライメントマークが形成される。X用マーク領域Ax1内には、アライメントマークが形成されない。

【0040】次に、半導体ウエハ1の表面上に新たにレジスト膜を形成する。通常の写真リソグラフィにより、このレジスト膜にパターンを転写する。このとき、X用マーク領域Ax2に形成されたX用アライメントマークが、半導体ウエハ1の位置情報を得るために使用される。X用マーク領域Ax1には、新たなマークが形成される。

【0041】このように、X用マーク領域Ax1に、ゲート電極の配置された層を形成するための多重露光時、及び上層の配線層を形成するための露光時に、別々のマークを配置することができる。このため、図1(B)に示したプロセスパターン領域11を有効利用することができる。

【0042】上記第1の実施例では、X用マーク領域Ax1内の潜像マークを消去し、X用マーク領域Ax2内に潜像マークを残した。他のX用マーク領域Ax3、Ax4、及びY用マーク領域Ay1~Ay4内の潜像マークも、必要に応じて消去してもよいし、残してもよい。また、ゲート配線の配置された層内の他の領域に上層パターンとの位置合わせ用のマークが配置される場合には、これらマーク領域Ax1~Ax4及びAy1~Ay4内の潜像マークを全て消去してもよい。

【0043】上記第1の実施例では、ポジ型レジストを用いたが、ネガ型レジストを用いることもできる。ポジ型レジストを用いた場合には、X用マーク領域Ax1内のレジスト膜が全て除去されたが、ネガ型レジストを用いる場合には、X用マーク領域Ax1内に図3(B)に示した透過領域に対応する形状のレジストパターンが残る。

【0044】次に、図4及び図5を参照して、第2の実施例による半導体装置の製造方法について説明する。上記第1の実施例では、2枚のマスクを用いて多重露光を行ったが、第2の実施例では3枚のマスクを用いて多重露光を行う。

【0045】図4(A)に、半導体ウエハ1上に形成される回路パターンの一部を示す。図4(A)に示された回路パターンは、図2(A)に示した第1の実施例で形成される回路パターンと同一である。

【0046】図4(B)に、第1回目の露光用のマスクのパターンを示す。遮光パターン21S及び22Sが、活性領域20に対応するマスク上の領域20Sを横切る

ように配置されている。領域20Sの外側で、遮光パターン22Sの先端が遮光パターン21Sに連結されている。このマスクは、第1の実施例の場合と同様に、KRF用ハーフトーン位相シフトマスクである。

【0047】図4(C)に、第2回目の露光用のマスクのパターンを示す。図2(C)に示した第1の実施例の第2回目の露光用のマスクと同様の透過パターン23が形成されている。このマスクは、第1の実施例の場合と同様に、レベンソン型位相シフトマスクである。

【0048】図4(D)に、第3回目の露光用のマスクのパターンを示す。図4(B)に示した遮光パターン21Sと22Sとの連結部に、長方形の透過パターン24が形成されている。このマスクは、バイナリマスク(COG)である。このマスクを用いた第3回目の露光により、配線21に対応する潜像と配線22に対応する潜像とが相互に分離される。

【0049】図5(A)に、第1回目の露光用のマスクのX用マーク領域Ax1及びAx2内のパターンを示す。図3(A)に示した第1の実施例で用いられる第1回目の露光用のマスクと同じパターンが形成されている。

【0050】図5(B)に、第2回目の露光用の、マスクのX用マーク領域Ax1及びAx2内のパターンを示す。X用マーク領域Ax1及びAx2の双方とも、遮光領域とされている。

【0051】図5(C)に、第3回目の露光用のマスクのX用マーク領域Ax1及びAx2内のパターンを示す。図3(B)に示した第1の実施例で用いられる第2回目の露光用のマスクと同じパターンが形成されている。

【0052】次に、図4及び図5に示したマスクを用いて半導体装置を製造する工程について説明する。

【0053】半導体ウエハの表面上への成膜、レジスト塗布、第1回目の露光、及び第2回目の露光までは、第1の実施例による半導体装置の製造方法の工程と同様である。ただし、第2回目の露光時に、図5(B)に示したようにX用マーク領域Ax1及びAx2が遮光されているため、第1回目の露光でこれらのマーク領域に形成された潜像マークは消去されることなく、そのまま残る。

【0054】第2回目の露光前に行った位置合わせ方法と同様の方法により、半導体ウエハの位置情報を得る。

【0055】次に、図4(D)及び図5(C)に示したマスクを用いて第3回目の露光を行う。第3回目の露光は、開口数0.60、 $\sigma=0.40$ 、露光量 $30\text{ mJ/cm}^2$ の条件で行う。この露光により、図4(A)に示した配線22の先端が配線1から分離される。さらに、図5(C)に示したように、X用マーク領域Ax1内に形成されていた潜像マークが消去される。X用マーク領域Ax2内に形成されていた潜像マークはそのまま残



る。

【0056】このように、第2の実施例では、1回目の露光で潜像マークを形成し、2回目の露光で潜像マークを残し、3回目の露光で潜像マークの一部を消去する。2回目及び3回目の露光時には、1回目の露光で形成された潜像マークを検出することにより、半導体ウエハ1の位置情報を得ることができる。このため、第1の実施例の場合と同様に、上層の配線層を形成する際に、消去された潜像マークが配置されていた領域に新たなマークを配置することができる。

【0057】第2の実施例では、一部の潜像マーク、例えば図5のX用マーク領域A x 2内に配置された潜像マークを残したが、第3回目の露光で全ての潜像マークを消去してもよい。

【0058】上記第3の実施例では、3枚のマスクを使用した多重露光について説明したが、第3の実施例は、4枚以上のマスクを使用する場合にも応用可能である。4枚以上のマスクを使用する場合には、2回目以降の露光において、潜像マークを残し、最後の露光時に潜像マークを消去すればよい。

【0059】次に、図6を参照して、第3の実施例による半導体装置の製造方法について説明する。

【0060】第3の実施例では、第2の実施例と同様に3枚のマスクを用いて多重露光が行われる。各マスクのデバイス領域内のパターンは、図4に示した第2の実施例によるマスクのパターンと同様である。

【0061】図6(A)に、第1回目の露光用のマスクのX用マーク領域A x 1及びA x 2内のパターンを示す。X用マーク領域A x 1内に被転写マークが形成されており、X用マーク領域A x 2は遮光されている。

【0062】図6(B)に、第2回目の露光用のマスクのX用マーク領域A x 1及びA x 2内のパターンを示す。X用マーク領域A x 1が遮光されており、X用マーク領域A x 2内に被転写マークが形成されている。

【0063】図6(C)に、第3回目の露光用のマスクのX用マーク領域A x 1及びA x 2内のパターンを示す。X用マーク領域A x 1及びA x 2の両方が透過領域とされている。

【0064】第2回目の露光時には、第1回目の露光で形成された潜像マークを検出することにより、第1回目の露光用のマスクで形成されるパターンと、第2回目のマスクとの位置合わせを行う。第3回目の露光時には、第1回目の露光で形成された潜像マークと、第2回目の露光で形成された潜像マークとの両方を検出することにより、半導体ウエハ1の位置情報を得る。これにより、多重露光される複数のマスクのパターンの位置合わせ精度を高めることができる。

【0065】第3の実施例では、図6(C)に示したように、第3回目の露光でX用マーク領域A x 1及びA x 2内の領域を露光し、潜像マークを消去したが、一部の

潜像マークを残してもよい。第3回目の露光用のマスクの所望のマーク領域を遮光することにより、第1回目の露光で形成された潜像マーク及び第2回目の露光で形成された潜像マークから選択される任意のマークを残すことが可能である。

【0066】次に、図7及び図8を参照して、第4の実施例による半導体装置の製造方法について説明する。第4の実施例では、3枚以上のマスクを用いて多重露光が行われる。第1回目の露光と第2回目の露光により、1つの潜像アライメントマークが形成され、最後の露光によって潜像アライメントマークが消去される。

【0067】図7及び図8に、第1回目の露光用のマスク及び第2回目の露光用のマスクに形成された被転写マーク、及び第1回目及び第2回目の2回の露光によって形成される潜像マークを示す。

【0068】図7に示した第1～第4の具体例では、ポジ型レジストが使用され、図8に示した第5～第8の具体例では、ネガ型レジストが使用される。図7及び図8に示された被転写マークのハッチが付された領域が遮光領域である。また、潜像マークのハッチが付された領域が、レジストの残っている領域である。

【0069】いずれの具体例の場合にも、潜像マークを構成する一部のパターンが、第1回目の露光時に形成され、他のパターンが第2回目の露光時に形成される。第3回目以降の露光時には、この潜像マークに基づいて、半導体ウエハ1の位置合わせが行われる。これにより、位置合わせ精度を高めることができる。

【0070】上記実施例では、光源としてKrFを用いた場合を例にとり説明したが、他の光源を用いてもよい。上記実施例で説明したマスクは、光学縮小投影露光用の原版として用いることが可能であり、この原版は、一般的にレチクルと呼ばれる。また、X線露光や投影型の電子ビーム露光や投影型のイオンビーム露光においても、上記実施例を適用することが可能である。

【0071】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0072】上記実施例から、以下の付記に示された発明が導出される。

【0073】(付記1) (a1) 基板の表面上に感光性の第1のレジスト膜を形成する工程と、(a2) 第1のマスクを通して前記第1のレジスト膜を露光し、該第1のマスクの第1のパターンを転写する工程であって、該第1のパターンが第1の被転写マークを含み、該第1のレジスト膜に該第1の被転写マークが転写された第1の潜像マークを形成する工程と、(a3) 前記第1の潜像マークを検出することによって前記基板の位置情報を得る工程と、(a4) 前記工程(a3)で得られた位置情報に基づいて前記基板の位置合わせを行い、第2のマ

クを通して前記第1のレジスト膜を露光し、該第2のマスクの第2のパターンを転写するとともに、前記第1の潜像マークを内包する領域を露光して該第1の潜像マークを消去する工程と、(a5)前記第1のレジスト膜を現像する工程とを有する半導体装置の製造方法。

【0074】(付記2) 前記工程(a5)の後、さらに、(b1)現像された前記第1のレジスト膜をマスクとして、前記基板の表面に処理を施す工程と、(b2)前記第1のレジスト膜を除去し、前記基板上に新たに第2のレジスト膜を形成する工程と、(b3)第3のマスクを通して前記第2のレジスト膜を露光し、該第3のマスクの第3のパターンを転写する工程であって、該第3のパターンが第3の被転写マークを含み、該第3の被転写マークが、前記工程(a4)で消去された前記第1の潜像マークの配置されていた位置に転写される工程と、(b4)前記第2のレジスト膜を現像する工程とを有する付記1に記載の半導体装置の製造方法。

【0075】(付記3) 前記第1のパターンが前記第1の被転写マークを複数個含み、前記工程(a2)において、前記第1の潜像マークが複数個形成され、前記工程(a4)において、前記複数の第1の潜像マークのうち一部のマークを内包する領域は遮光され、露光後も、遮光された領域内の第1の潜像マークは残り、前記工程(a5)において、残っている前記第1の潜像マークを顕在化させ、前記工程(a5)の後に、さらに、(c1)現像された前記第1のレジスト膜をマスクとして、前記基板の表面に処理を施し、顕在化された前記第1の潜像マークに基づいて第1のアライメントマークを形成する工程と、(c2)前記第1のレジスト膜を除去する工程と、(c3)前記基板上に、新たに第3のレジスト膜を形成する工程と、(c4)前記第1のアライメントマークを検出することによって前記基板の位置情報を得る工程と、(c5)前記第3のレジスト膜を露光する工程とを含む付記1に記載の半導体装置の製造方法。

【0076】(付記4) 前記工程(a2)と工程(a3)との間に、さらに、(d1)前記第1の潜像マークを検出することによって前記基板の位置情報を得る工程と、(d2)前記工程(d1)で得られた位置情報に基づいて前記基板の位置合わせを行い、第4のマスクを通して前記第1のレジスト膜を露光し、該第4のマスクの第4のパターンを転写する工程であって、前記第1の潜像マークを内包する領域は遮光して該第1の潜像マークを残す工程とを有する付記1に記載の半導体装置の製造方法。

【0077】(付記5) 前記第4のマスクの第4のパターンが、第4の被転写マークを含み、前記工程(d2)において、該第4の被転写マークが、前記第1の潜像マークとは異なる位置に転写されて第4の潜像マークが形成され、さらに、(d3)前記第4の潜像マークを検出することによって、前記基板の位置情報を得る工程を含

む付記4に記載の半導体装置の製造方法。

【0078】(付記6) 前記工程(a3)と工程(d3)とが同一の工程であり、前記第1の潜像マーク及び前記第4の潜像マークの双方に基づいて前記基板の位置情報を得る付記5に記載の半導体装置の製造方法。

【0079】(付記7) 前記基板の表面上に複数のショット領域が画定されており、該ショット領域の各々は、1回の露光処理で露光され、相互に隣り合う2つのショット領域が重なり部分を有し、前記基板の表面上に、XY直交座標系を考えたとき、前記工程(a2)で形成される前記第1の潜像マークが、X方向の位置を検出するための少なくとも2つの第1のX用潜像マークと、Y方向の位置を検出するための少なくとも2つの第1のY用潜像マークとを含み、前記工程(a3)が、前記基板上に画定された複数のショット領域のうち少なくとも一部のショット領域内の前記第1のX用潜像マーク及び前記第1のY用潜像マークを検出し、当該ショット領域の位置情報を得る工程を含み、前記工程(a4)において、前記ショット領域の位置情報に基づいて前記基板の位置合わせを行う付記1~6のいずれかに記載の半導体装置の製造方法。

【0080】(付記8) (e1)基板の表面上に感光性の第1のレジスト膜を形成する工程と、(e2)第1のマスクを通して前記第1のレジスト膜を露光し、該第1のマスクのパターンを転写するとともに、該第1のレジスト膜に少なくとも1つの第1の潜像マークを構成する一部のパターンを転写する工程と、(e3)第2のマスクを通して前記第1のレジスト膜を露光し、該第2のマスクのパターンを転写するとともに、該第1のレジスト膜に前記第1の潜像マークを構成する残りのパターンを転写し、該第1の潜像マークを完成させる工程と、(e4)前記第1の潜像マークを検出することによって前記基板の位置情報を得る工程と、(e5)前記工程(e4)で得られた位置情報に基づいて前記基板の位置合わせを行い、第3のマスクを通して前記第1のレジスト膜を露光し、該第3のマスクのパターンを転写するとともに、前記第1の潜像マークを内包する領域を露光して該第1の潜像マークを消去する工程と、(e6)前記第1のレジスト膜を現像する工程とを有する半導体装置の製造方法。

【0081】(付記9) 基板上に形成された感光性のレジスト膜を露光し、パターニングするための第1、第2及び第3のマスクを含むマスクセットであって、前記第1及び第2のマスクは、同一のレジスト膜を多重露光するためのマスクであり、前記第3のマスクは、前記第1及び第2のマスクを用いて形成されたパターンが配置された第1の層の上に配置される第2の層をパターニングするためのマスクであり、前記第1のマスクに、アライメントマークを転写するための第1のマークが形成されており、前記第1のマークの配置された領域を内包する

領域に対応する前記第2のマスク内の領域が、露光光の透過する領域とされており、前記第1のマークの配置された領域に対応する前記第3のマスク内の領域に、他のアライメントマークを転写するための第3のマークが形成されているマスクセット。

【0082】(付記10) さらに、前記第1及び第2のマスクとともに第1の層を多重露光するための第4のマスクを有し、前記第1のマークの配置された領域を内包する領域に対応する前記第4のマスク内の領域が遮光されている付記9に記載のマスクセット。

【0083】(付記11) 基板上に形成された感光性のレジスト膜を露光し、パターンニングするための第1、第2、及び第3のマスクを含むマスクセットであって、前記第1～第3のマスクは、同一のレジスト膜を多重露光するためのマスクであり、前記第1のマスクに、第1のアライメントマークの一部のパターンを転写するための第1のマークが形成されており、前記第2のマスクに、前記第1のアライメントマークの他の一部のパターンを転写するための第2のマークが形成されており、前記第1及び第2のマークの配置された領域を内包する領域に対応する前記第3のマスク内の領域が、光を透過させる領域とされているマスクセット。

#### 【0084】

【発明の効果】以上説明したように、本発明によれば、多重露光を行う工程の第1回目の露光でレジスト膜に潜像マークを形成し、第2回目以降の露光において、この潜像マークが使用される。最後の露光時に、潜像マークを消去することにより、潜像マークの形成されていた領域を、他のマークを形成するために再利用することが可能になる。

#### 【図面の簡単な説明】

【図1】 (A)は、実施例で使用される半導体ウエハの平面図、(B)は、1つのショット領域の平面図、(C)～(F)は、マスク上のアライメントマークのパターンの例を示す図である。

【図2】 (A)は、第1の実施例による方法で形成されるゲート電極層の平面図、(B)は、第1回目の露光用のマスクのパターンを示す図、(C)は、第2回目の

露光用のマスクのパターンを示す図である。

【図3】 (A)は、第1の実施例で使用される第1回目の露光用のマスクのマーク領域内のパターンを示す図、(B)は、第2回目の露光用のマスクのマーク領域内のパターンを示す図である。

【図4】 (A)は、第2の実施例による方法で形成されるゲート電極層の平面図、(B)は、第1回目の露光用のマスクのパターンを示す図、(C)は、第2回目の露光用のマスクのパターンを示す図、(D)は、第3回目の露光用のマスクのパターンを示す図である。

【図5】 (A)は、第2の実施例で使用される第1回目の露光用のマスクのマーク領域内のパターンを示す図、(B)は、第2回目の露光用のマスクのマーク領域内のパターンを示す図、(C)は、第3回目の露光用のマスクのマーク領域内のパターンを示す図である。

【図6】 (A)は、第3の実施例で使用される第1回目の露光用のマスクのマーク領域内のパターンを示す図、(B)は、第2回目の露光用のマスクのマーク領域内のパターンを示す図、(C)は、第3回目の露光用のマスクのマーク領域内のパターンを示す図である。

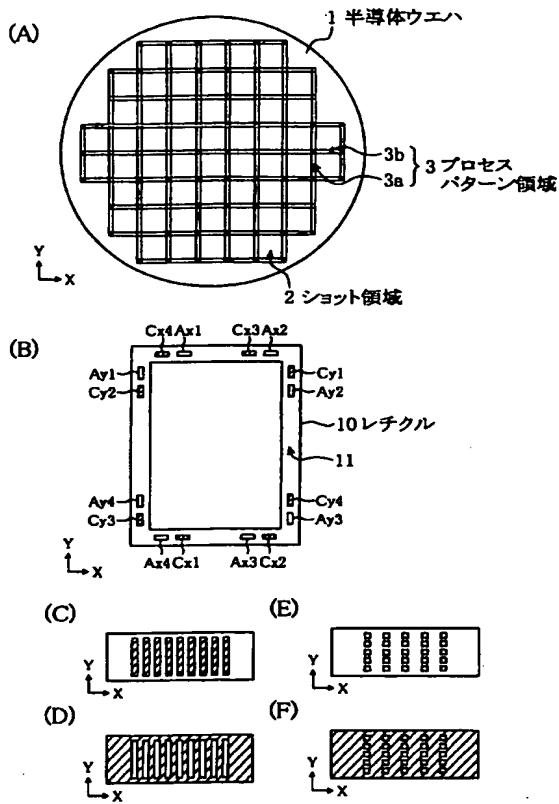
【図7】 第4の実施例の第1～第4の具体例で使用されるマスクのマーク領域のパターン及び形成される潜像マークのパターンを示す図である。

【図8】 第4の実施例の第5～第8の具体例で使用されるマスクのマーク領域のパターン及び形成される潜像マークのパターンを示す図である。

#### 【符号の説明】

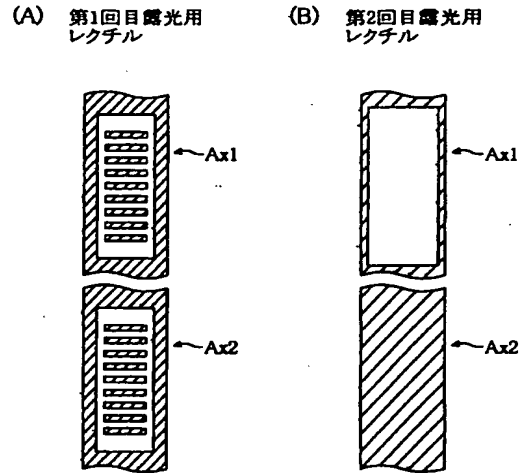
- 1 半導体ウエハ
- 2 ショット領域
- 3 ウエハのプロセスパターン領域
- 10 マスクのパターンが配置される領域
- 11 マスクのプロセスパターン領域
- 20 活性領域
- 20S 活性領域に対応した領域
- 21、22 配線
- 21G、22G ゲート電極
- 21S、22S 遮光パターン
- 23、24 透過パターン

【図1】



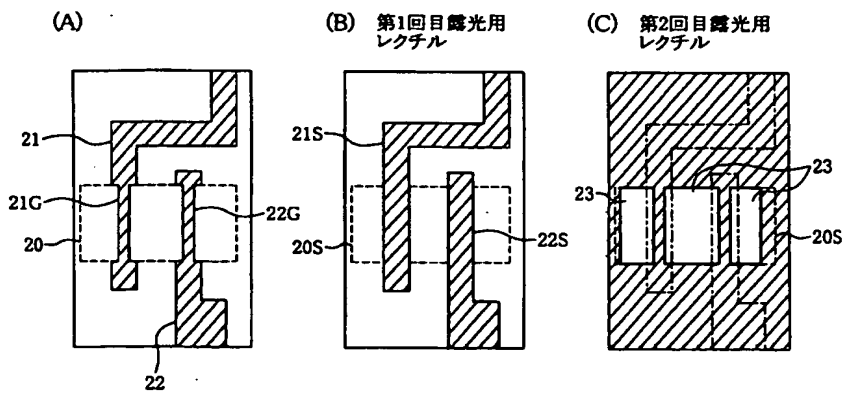
【図3】

第1の実施例



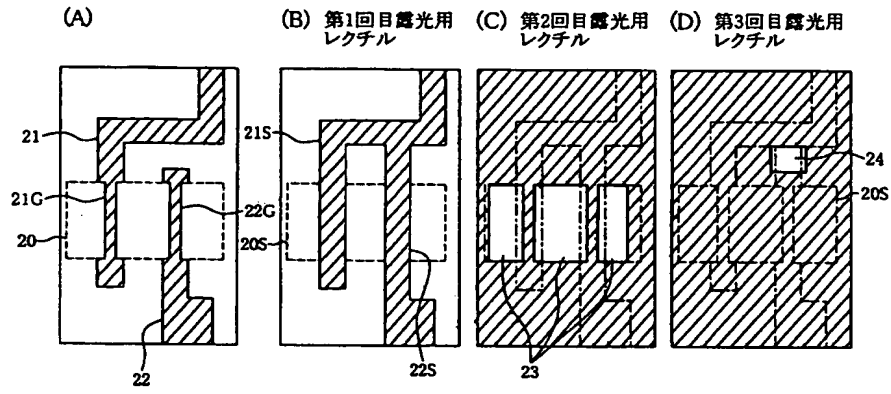
【図2】

第1の実施例



【図4】

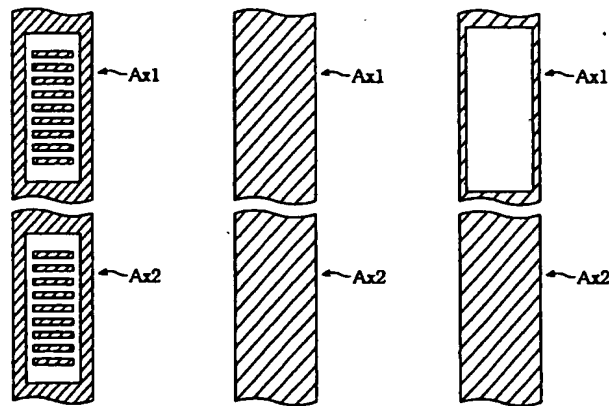
第2の実施例



【図5】

第2の実施例

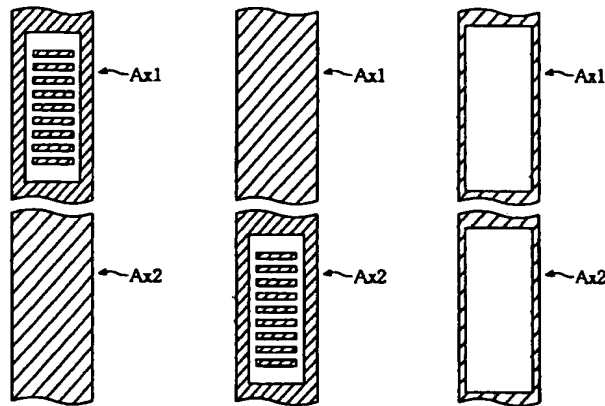
- (A) 第1回目露光用 (B) 第2回目露光用 (C) 第3回目露光用  
レクチル レクチル レクチル



【図6】

第3の実施例

- (A) 第1回目露光用  
レクチル (B) 第2回目露光用  
レクチル (C) 第3回目露光用  
レクチル



【図7】

第4の実施例

具体例	第1回目露光用レクチル	第2回目露光用レクチル	潜像アライメントマーク
1			
2			
3			
4			

【図8】

## 第4の実施例

具体例	第1回目露光用レクチル	第2回目露光用レクチル	潜像アライメントマーク
5			
6			
7			
8			